

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-250597

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.<sup>9</sup>  
G 1 1 B 21/10

識別記号

F I  
G 1 1 B 21/10

A

審査請求 未請求 請求項の数 2 O L (全 13 頁)

(21) 出願番号 特願平10-345479

(22) 出願日 平成10年(1998)12月4日

(31) 優先権主張番号 9 8 5 3 8 0

(32) 優先日 1997年12月4日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 エバート エス. クーパー

アメリカ合衆国 カリフォルニア州サンタ  
クララ, モーガン ヒル, サークル レ  
ーン 16455

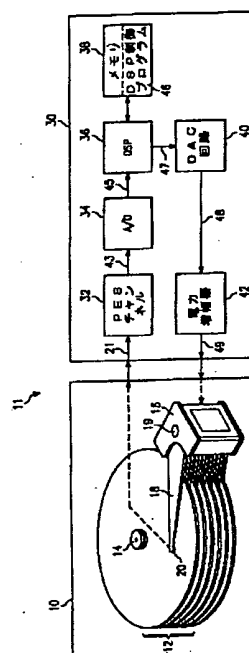
(74) 代理人 弁理士 浅村 皓 (外 3 名)

(54) 【発明の名称】 ハードディスクドライブ制御システムおよび方法

(57) 【要約】

【課題】 ハードディスクドライブのボイスコイルモータを制御するための方法および装置を提供する。

【解決手段】 ハードディスクドライブ装置 (11) は、磁気ヘッド (20) を制御するアクチュエータ (16) を含む。アクチュエータの制御構成 (30) は、第1デジタル位置決め信号 (72) を生成するためにモデル参照制御 (68、76) を、また第2デジタル位置決め信号を生成するために別の制御 (66、60、62、64) を利用する制御ループ (50) を含む。2個の低精度デジタル・アナログ変換器 (54、56) が第1および第2のデジタル位置決め信号成分を各々のアナログ位置決め信号成分 (61、59) へ変換する。加算ジャンクション (57) がこれらアナログ位置決め信号成分を加算して、一方に対して他方よりもより大きい重み付けを与えることで、アナログ位置決め信号 (48) が得られ、それがアクチュエータへ与えられる。



(2)

特開平11-250597

## 【特許請求の範囲】

【請求項1】 可動メンバーを有し、アクチュエータ制御信号にตอบสนองして前記メンバーの動作を促すアクチュエータを含み、前記メンバーの実際の状態を表すデジタル位置エラー信号を発生するように動作する装置を制御するための制御システムであって、  
前記メンバーの目標位置を表す入力信号にตอบสนองし、前記入力信号にตอบสนองして動作可能な第1制御部分であって、モデル参照制御技術を利用して、前記メンバーの動作を表すデジタル第1制御信号を生成し、前記デジタル第1制御信号に対する前記アクチュエータの期待される応答を表す第2制御信号を生成するようになった第1制御部分、  
前記デジタル位置エラー信号、前記デジタル第1制御信号、および前記第2制御信号にตอบสนองする第2制御部分であって、それらにตอบสนองして前記メンバーの動作を表すデジタル第3制御信号を生成するように動作可能な第2制御部分、  
前記デジタル第1制御信号をアナログ第1制御信号へ変換するように動作可能な第1デジタル・アナログ変換器、  
前記デジタル第3制御信号をアナログ第3制御信号へ変換するように動作可能な第2デジタル・アナログ変換器、および前記アナログ第1制御信号および前記アナログ第3制御信号にตอบสนองして、アナログ第1制御信号とアナログ第3制御信号とを組み合わせて、アナログ第1制御信号のほうにアナログ第3制御信号よりも大きい重み付けを持たせて組み合わせることにより、前記アクチュエータ制御信号を生成するように動作可能なジャンクション、を含む制御システム。

【請求項2】 可動メンバーを有し、アクチュエータ制御信号にตอบสนองして前記メンバーの動作を促すアクチュエータを含み、更に前記メンバーの実際の状態を表すデジタル位置エラー信号を生成するように動作可能な装置を制御するための方法であって、  
前記メンバーの目標位置を表す入力信号にตอบสนองして、前記メンバーの動作を表すデジタル第1制御信号を生成し、更に、前記デジタル第1制御信号に対する前記アクチュエータの期待される応答を表す第2制御信号を生成するために、モデル参照制御技術を利用する工程、  
前記デジタル位置エラー信号、前記デジタル第1制御信号、および前記第2制御信号にตอบสนองして、前記メンバーの動作を表すデジタル第3制御信号を生成する工程、  
前記デジタル第1制御信号をアナログ第1制御信号へ変換する工程、  
前記デジタル第3制御信号をアナログ第3制御信号へ変換する工程、および前記アナログ第1制御信号と前記アナログ第3制御信号とを、アナログ第3制御信号よりもアナログ第1制御信号のほうに大きい重み付けを与えるように組み合わせることによって前記アクチュエータ制

御信号を生成する工程、を含む方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は一般的にアクチュエータ用の制御システム分野に関するものであって、更に詳細にはハードディスクドライブのボイスコイルモータを制御するための方法および装置に関する。

## 【0002】

【従来の技術】ハードディスクドライブ大量記憶装置の制御回路など、多様な電子装置およびシステムにはデジタル・アナログ変換器(DAC)が使用されている。DACは一般的に高精度のDACと低精度のDACとに分類できるが、その分類は、その特定電子システムの設計とその電子システム中の特定DACに求められる要求とに依存する。

【0003】例えば、ハードディスクドライブシステムの制御回路に使用され、12ビットまたはそれ以上のビット数の分解能を提供するDACは、高精度DACと考えられよう。ハードディスクドライブシステムで高精度DACは、最終的に読み込み/書き込みヘッドを位置決めするために使用されるボイスコイルモータまたは他のアクチュエータ中の電流を制御する信号を発生させるために使用されよう。もっと詳細には、DACはデジタル信号プロセッサ(DSP)等のマイクロプロセッサによって処理されたデジタル信号を、読み出し/書き込みヘッドの位置を制御するアクチュエータへ供給されるアナログ信号へ変換する。

## 【0004】

【発明の解決しようとする課題】ハードディスクドライブのトラック密度が増大するにつれて、そして/あるいはコイル電流の増加に伴ってアクセス時間が増大するにつれて、更に高分解能のDACに対する需要が生まれてくる。例えば、1つのディスク中により多くのトラックが含まれることで、トラックの幅が減少し、そのため、ヘッドを正確に位置決めし、機械的な共振を回避するために必要とされる分解能が上昇する。高精度のDACは、市販されているものの、それらはかなり高価である。高精度のDAC1個は低精度DAC1個の数倍のコストが掛かるであろう。このように、コストに非常に敏感なハードディスク工業界では高精度DACは好ましくない。

【0005】高精度DACにはその他のいくつかの欠点や短所がある。しばしば、高精度DACは、デジタル信号プロセッサ等のその他の回路と一緒にシリコン中に組み込むことができない。それは、それらその他の回路を組み込むために使用される半導体プロセスの低い精度が高精度DACのために必要とされる高精度の回路要素を提供しないためであり、また高精度の半導体プロセスを採用することはコスト効率的に好ましくないからである。更に、高精度DACは比較的大型の回路であるた

(3)

特開平11-250597

め、それらは作製するのが高くつくし、かなり多量の電力を消費もする。ラップトップまたはノートブックコンピュータ等の携帯型の装置にとって、電力消費は特に重要である。すなわち、完全充電状態の電池から実現できる計算時間を最大化するために、電力消費を最小化することが好ましい。

【0006】1つの代替え法は単一の低精度DACを使用して、トラックシーク中の低分解能制御から、トラック追従中の高分解能制御へ切り替えるものである。しかし、これでは完全に満足できない。というのは、分解能を切り替えることは、それが目標のトラックが到達する丁度その時に発生するので、アクチュエータが安定する時間を長引かせるアクチュエータ制御過渡現象を生み出すからである。

【0007】以上のことから、ハードディスクドライブのボイスコイルモータ等のアクチュエータを制御するための、高精度DAC使用の問題を解決する方法および装置に対する需要が生まれることは理解できよう。

【0008】

【課題を解決するための手段】本発明に従えば、可動メンバーを含み、メンバーの動作を実行させるアクチュエータ制御信号に応答するアクチュエータを制御するための方法および装置が提供される。ここにおいて、メンバーの実際の状態を表示するためのデジタル位置エラー信号が生成されるようになっている。本方法および装置には、メンバーの好ましい位置あるいは目標位置を表す入力信号に応答して、メンバーの制御動作を表すデジタル第1制御信号を生成し、更に、デジタル第1制御信号に応答して、アクチュエータが取ると理論的に期待される状態を表す第2制御信号を生成するために、モデル参照制御技術を利用すること；前記デジタル位置エラー信号、前記デジタル第1制御信号、および前記第2制御信号に応答して、メンバーの制御動作を表すデジタル第3制御信号を生成すること；前記デジタル第1制御信号をアナログ第1制御信号へ変換すること；前記デジタル第3制御信号をアナログ第3制御信号へ変換すること；および前記アナログ第1制御信号と前記アナログ第3信号とを、アナログ第1制御信号がアナログ第3制御信号よりも大きな重みを有するように加算して、アクチュエータ制御信号を生成すること、が含まれる。

【0009】本発明およびその特徴をより完全に理解するために、以下の詳細な説明を図面と一緒に参照する。

【0010】

【発明の実施の形態】図1は本発明を実施するハードディスクドライブ装置11のブロック図である。ハードディスクドライブ装置11は、制御ルーブまたは制御区分30によって制御される従来のヘッド/ディスクアセンブリ(HDA)10を含み、制御区分30はデジタル・アナログ変換器(DAC)回路40およびデジタル信

号プロセッサ(DSP)36を含んでいる。ヘッド/ディスクアセンブリ10は、スピンドル14上に固定支持された磁気ディスクスタック12を含み、スピンドル14は従来のスピンドルモータ(図1には示されていない)によって回転駆動される。

【0011】ヘッド/ディスクアセンブリは更に、ボイスコイルモータ16であるアクチュエータ、およびスピンドル14に対して平行な軸19であって、ヘッド/ディスクアセンブリ10に対して固定支持された軸19上にすべて回転支持された複数のサスペンションアーム18を含んでいる。ボイスコイルモータ16はすべてのアーム18が軸19の回りに同時にピボット運動することを促す。複数の読み出し/書き込みヘッド20がアーム18の先端に設けられており、各ヘッドはスタック12中の各ディスクの各面に隣接している。ボイスコイルモータ16がすべてのアーム18を軸19の回りにピボット運動させる時に、読み出し/書き込みヘッド20はそれぞれ、スタック12中の対応するディスクに対して相対的にはほぼ放射状に移動する。磁気ディスクスタック12は各ディスクの各面に書き込まれた情報を保存するために使用される。情報は各ディスクの各面との間で、対応する読み出し/書き込みヘッド20によって磁気的に読み書きされる。一般に、一時には1つの読み出し/書き込みヘッド20のみが能動的である。

【0012】従来のように、各ディスクの各面には複数の同心円状のトラック(図示されていない)があって、各トラックは複数の円弧状セクターに分割されており、それらのセクターは円周上に配置している。各トラックの各セクターには、図示されていないが一般にサーボウエッジ(servo wedge)が含まれる。サーボウエッジは位置情報を提供し、その位置情報は付随する読み出し/書き込みヘッド20によって読み出され、次に制御区分30に対して、図面では21として示したアナログサーボウエッジ信号として供給される。

【0013】ボイスコイルモータ16は制御区分30によって制御される。制御区分30は、位置エラー信号(PES)チャンネル32、アナログ・デジタル変換器(DAC)回路34、デジタル信号プロセッサ(DSP)36、メモリ38、デジタル・アナログ変換器(DAC)回路40、および電力増幅器42を含む。ここに開示した実施例では、DSP36、メモリ38、およびDAC回路40を含む制御区分30の部品は、シリコン等の半導体材料の単一片中に作製される。更に、メモリ38は、その他のタイプのメモリを使用することもできるが、フラッシュメモリである。

【0014】PESチャンネル32はアナログサーボウエッジ信号21を受信して、それからアナログ位置エラー信号43を生成する。アナログサーボウエッジ信号21は、付随のディスクまたはプラッタから、読み出し/書き込みヘッド20によって読み出される生のアナログ

(4)

特開平11-250597

信号である。アナログ位置エラー信号43は、それぞれ、トラック識別情報および位置エラー情報等のトラックシークおよびトラック追従情報の両方を含むことができよう。このように、位置エラー信号という用語はここではトラック追従情報と位置エラー情報の両方の意味で使用される。アナログ位置エラー信号43はADC34によってデジタル位置エラー信号45へ変換され、それは次にDSP36へ供給されて、それ以降の処理が行われる。

【0015】DSP36は、デジタル位置エラー信号45を受信し、図2に示され、また後に詳しく説明する制御方式を使用してその信号を処理する。この制御方式は、メモリ38中に記憶されているDSP制御プログラム46によって実行される。

【0016】DSP36はDAC回路40に対してデジタル位置決め情報47を出力し、DAC回路40はデジタル位置決め情報47をアナログ位置決め信号48へ変換して電力増幅器42へ供給する。電力増幅器42はそれの出力へ、増幅されたアナログ位置決め信号49を生成し、それがボイスコイルモータ16へ供給されて、それを制御する。

【0017】図2は図1のシステムのブロック図であり、図1のDSP36によって実行される制御方式をより詳細に示している。図2において、参照符号58はハードディスクドライブ装置11の物理プラントを示しており、それは図1を参照すると、電力増幅器42、位置エラー信号チャンネル32、およびヘッド/ディスクアセンブリ10の部品すべてを含んでいる。物理プラント58の出力は図1のアナログ位置決めエラー信号43であり、それはアナログ・デジタル変換器34へ供給される。アナログ・デジタル変換器34はデジタル位置決めエラー信号45を出力する。物理プラント58への入力デジタル・アナログ変換器回路40からのアナログ位置決め信号48である。

【0018】図2に示されるように、デジタル・アナログ変換器回路40は、第1アナログ位置決め信号成分59を出力する第1デジタル・アナログ変換器54、第2アナログ位置決め信号成分61を出力する第2デジタル・アナログ変換器回路56、およびアナログ信号成分59と61とを加算する加算ジャンクション57を含む。加算ジャンクション57の出力はアナログ位置決め信号48である。デジタル・アナログ変換器回路54および56はそれぞれ低精度DACである。例えば、それぞれ8ビットのDACでよい。加算ジャンクション57は、アナログ位置決め信号48中で信号成分61が信号成分59よりもかなり大きい重み付けを持つように、信号成分59と61とを加算する。言い換えると、DAC56の最下位ビット(LSB)はDAC54のLSBよりも信号48の電圧または電圧に対してより大きい変化を与える。2個の低精度DAC54および56は一緒にして

も、例えば12または14ビットの分解能を有する単一の高精度DACよりも本質的に少ない回路を占有する。更に、それらは、デジタル信号プロセッサに対して用いられるような低精度の半導体プロセスで以て実現することができ、高精度DAC用として必要な種類の高精度の半導体処理を必要としない。従って、DAC54および56は両方ともに、シリコン等の半導体材料中へ低精度半導体プロセスで以て、本質的により少ないエリアを占有するように作製でき、しかも電力消費は単一の高精度DACよりも少ない。

【0019】信号48を決定するうえで、信号成分61のほうが信号成分59よりも大きい重み付けを与えられるので、信号成分61は読み出し/書き込みヘッド20(図1)の荒い位置決め制御のために使用され、他方、信号成分59は読み出し/書き込みヘッド20の細かい位置決めのために使用される。すなわち、信号成分61は読み出し/書き込みヘッド20の大きな運動を含む動作、例えば1つのトラックから別のトラックへの移動などの制御のために特に適しており、他方、信号成分59は読み出し/書き込みヘッド20の位置決めにおける小さい調節、例えば読み出し/書き込みヘッド20を特定のトラックに沿って放射状に正確に保持するといった制御のために特に適している。

【0020】図2において、参照符号52は、デジタル・アナログ変換器40、物理プラント58、およびアナログ・デジタル変換器34を集成的に示すために使用されている。図2のブロック52内の要素は、開示実施例で実際の物理的回路または機械部品である要素を表している。図2のブロック52の外側の要素はすべて、DSP36によって実行される制御プログラム(図1)の形で実現される。ブロック52の外側の要素は開示実施例では制御プログラムによって実現されるのであるが、それとは異なり、個別部品から作り上げて図1のDSP36を置換する制御回路として実現することもできることは理解されよう。

【0021】図2についての以下の説明で、“信号”という用語は、図2の制御ブロックが物理的回路として実現される時に電圧または電流の形を取るであろう量、また本発明の開示実施例ではDSP36内の数値の形を取っている量を示している。

【0022】図2で、ブロック52の外側の要素によって示される制御ループまたは制御区分は一般に参照符号50で示されている。制御ループ50はブロック68および70によって表されるモデル参照制御技術を用いている。ブロック68はモデル参照であり、それは図2の物理プラント58の制御特性のモデルである。モデル参照68は入力としてフィードフォワード制御信号72を受け取り、その出力にはモデル制御信号74を生成する。モデル制御信号74は、もしフィードフォワード制御信号72が実際のプラント58へ供給されるとし

(5)

特開平11-250597

た時に実際の物理プラント58に期待される、あるいは理論的に予測される応答を表しており、詳細にはモデル制御ベクトルを表し、それにはアーム18の理論的または期待される位置、速度および加速度情報が含まれる。ブロック70はモデル参照制御であって、それは所望のあるいは目標のトラックを同定する入力信号76およびモデル制御信号74に応答する。モデル参照制御70はフィードフォワード制御信号72を生成して、実際の物理プラント58において、読み出し/書き込みヘッド20が入力信号76によって指定される目標トラックへ向かって移動し、そしてそれに沿って放射状に留まるようにモデル参照68を制御する。

【0023】制御ループ50は更に、状態推定器 (estimator) 60を含み、それは後により詳細に説明する加算ジャンクション66からのデジタル位置決め信号78の他に、アナログ・デジタル変換器34からのデジタル位置決めエラー信号45にも応答する。状態推定器60は状態推定信号80を出力するが、それは物理プラント58の推定された状態ベクトルであり、読み出し/書き込みヘッド20を支持するアーム18の位置、速度および加速度を含んでいる。

【0024】制御ループ50は、推定された状態ベクトルを表す状態推定信号80を、モデル制御ベクトルを表すモデル制御信号74から減算して、ライン82上へ状態エラーベクトルを表す状態エラー信号としてベクトル差を出力するジャンクション62を含んでいる。ジャンクション62は実際には図示されていない3個のジャンクションを含み、それらは各々、信号74および80中の位置情報、信号74および80中の速度情報、および信号74および80中の加速度情報のそれぞれの差分を決定し、そしてそれらは各々の差分信号を82において状態エラーベクトルを表す状態エラー情報として出力する。しかし、便宜上、そして混乱を避けるために、これらの3個のジャンクションを図2では1つのブロック62として示してある。

【0025】制御ループ50は更に、制御則 (control law) 64を含んでおり、それは状態エラーベクトルを表す状態エラー情報82をジャンクション62から受信して、84において修正制御信号を出力する。状態エラー情報82は開示実施例では、実際には上で述べたように3つの差分信号を表しており、また開示実施例の制御則64はそのような各信号をそれぞれに対応する利得で増幅して、次に結果を加算して修正制御信号84を生成する。

【0026】フィードフォワード制御信号72は記号  $\mu_{ff}(k)$  によって表すことができ、また修正制御信号84は記号  $\mu_c(k)$  によって表すことができよう。ここで“k”はサンプル番号を表す。各々の場合に、“ $\mu$ ”は電圧または電流のいずれかを表すものとしてみなすことのできる制御変数である。フィードフォー

ワード制御信号72および修正制御信号84はそれぞれ、DAC56および54の入力へつながれ、また一緒に図1のブロック図に48で示したデジタル位置決め情報を構成する。上で述べたように、ジャンクション57は、結果のアナログ位置決め信号48中で信号成分61が信号成分59よりも大きな重み付けを持つように、アナログ信号成分59と61とを加算する。従って、フィードフォワード制御信号72が修正制御信号84よりもアナログ位置決め信号48に対して大きい影響を持つことが理解されよう。フィードフォワード制御信号72はこのように、位置決めアーム18および読み出し/書き込みヘッド20 (図1) の大きい運動、例えば読み出し/書き込みヘッドの1つのトラックから別のトラックへの移動をもたらすために使用され、他方、修正制御信号84はヘッド20の1つを特定の選ばれたトラックに沿って正確に位置決めすることなどの、アーム18およびヘッド20の位置決めの細かい調節を実行するために使用される。

【0027】ジャンクション66は、デジタル位置決め信号78を生成するために、デジタルフィードフォワード制御信号72と修正制御信号84とを加算する。信号72と84の加算時に、ジャンクション66は、ジャンクション57が信号成分61に対して信号成分59よりも大きい重み付けを与えたのと同じように、信号72に対して信号84よりもかなり大きい重み付けを与える。こうして、ジャンクション66によって生成されるデジタル位置決め信号78は、ジャンクション57によって生成されるアナログ位置決め信号48のデジタル等価信号となる。

【0028】図3は図2に示されたタイプの制御システム例の詳細を示すブロック図である。図3のいくつかの部品は図2中の部品と同一であり、従って同じ参照符号が付けられている。特に、図3はDAC54、DAC56、加算ジャンクション57、加算ジャンクション66、物理プラント58、およびアナログ・デジタル変換器回路34を示している。

【0029】図3で、回路34はサンプリング部分101と変換部分102とを有するように描かれている。これは従来のアナログ・デジタル変換器回路が周期的に入力信号をサンプリングして、次に、サンプリングされた値をデジタル出力へ変換するという事実を反映している。従って、サンプリング部分101は、物理プラント58からの信号を、時間間隔  $T_s$  だけ間をおいて周期的な時点でサンプリングする回路を表している。変換部分102はサンプリング部分101からのサンプリングされた信号をデジタル出力へ変換する回路である。

【0030】図3の制御システムはまた、モデル参照制御104、モデル参照105、状態推定器106、および制御則107を含んでおり、それらはそれぞれ図2の部品70、68、60および64に機能的に対応する。

(6)

特開平11-250597

図3はまた、2個のジャンクション111および112を含んでおり、それらは一緒になって図2のジャンクション62に機能的に対応している。

【0031】モデル参照制御104はジャンクション114を含み、それは、目標トラックを表す位置値である入力116から、モデル参照105によって生成されたモデル参照位置値115を差し引く。ジャンクション111によって生成される差分は制御ブロック118へ供給され、それは好ましい速度 $V_d$ を決定する。特に、好ましい速度 $V_d$ は、ジャンクション114からの差分に利得 $2A$ を乗じた量の平方根であり、ここで $A$ は好ましい減速率である。ブロック118からの好ましい速度 $V_d$ はジャンクション119へ供給される。ジャンクション119は好ましい速度 $V_d$ から、モデル参照105から受信したモデル参照速度値122を差し引く。ジャンクション119の出力はリード/ラグ回路網124へ送られ、その出力はフィードフォワード制御値123であり、これはDAC56および加算ジャンクション66へ供給される。

【0032】モデル参照105は利得要素126を含み、それはモデル参照制御104からのフィードフォワード制御値123を入力として受信する。利得要素126はフィードフォワード制御値へ利得 $K_T r/J$ を供給する。ここで、 $K_T$ は物理プラント58中のボイスコイルモータ16のトルク定数であり、 $r$ は軸19から読み出し/書き込みヘッド20までのアーム18（図1）に沿った径方向距離であり、更に $J$ はボイスコイルモータ16に付随する慣性である。利得要素126の出力は加算ジャンクション128を通して、1サンプリング間隔の遅延 $T_s$ をもたらす遅延ブロック129へ供給される。

【0033】遅延ブロック129の出力はモデル参照速度値122として働き、加算ジャンクション128へ供給され、更に別の利得要素133の入力へ供給される。この利得要素はそれに利得 $T_s$ を与える。利得要素126の出力は別の利得要素131へも供給され、その利得要素は $T_s^2/2$ の利得を与える。利得要素131および133の出力は加算ジャンクション132へ供給され、加算ジャンクション132の出力は別の遅延ブロック136へ供給される。遅延ブロック136は1サンプリング間隔の遅延 $T_s$ を生み出す。遅延ブロック136の出力は加算ジャンクション132の入力へ供給され、更にモデル参照位置値115として働く。

【0034】状態推定器106は、加算ジャンクション66からの出力を受信し、ジャンクション66の出力に対して、モデル参照105の利得要素126によって使用されるのと同じ利得である利得 $K_T r/J$ を供給する利得要素141を含む。利得要素141の出力は加算ジャンクション142へ供給され、その出力は遅延ブロック143へ供給される。遅延ブロック143は1サン

プリング間隔の遅延 $T_s$ をもたらす。遅延ブロック143の出力は加算ジャンクション142の入力へ供給され、また状態推定速度値144としても機能する。遅延ブロック143の出力はまた、利得要素146へ供給され、その利得要素はそれに対して利得 $T_s$ を与える。利得要素146の出力は加算ジャンクション147へ供給され、その出力は別の遅延ブロック148へ供給される。遅延ブロック148は1サンプリング間隔の遅延 $T_s$ をもたらす。遅延ブロック148の出力は加算ジャンクション147の入力へ供給され、更に状態推定位置値151としても機能する。

【0035】遅延ブロック148の出力はまた、ジャンクション152へ供給され、それは $A/D$ 変換器回路34の出力から位置エラー値を受け取って、それから、遅延ブロック148からの状態推定位置値151を差し引く。ジャンクション152の出力は利得要素153と、利得要素154へつながれ、これらの利得要素はそれに対してそれぞれ利得 $L_v$ および $L_p$ を与える。利得 $L_v$ は速度利得であり、また利得 $L_p$ は位置利得である。利得要素153の出力は加算ジャンクション142の入力へつながれ、利得要素154の出力は加算ジャンクション147の入力へつながれる。利得要素141の出力は別の利得要素157の入力へもつながれ、それは $T_s^2/2$ の利得を与える。利得要素157の出力は加算ジャンクション147の入力へ供給される。

【0036】ジャンクション111はモデル参照速度値122から状態推定速度値144を差し引いて、速度エラー値161を得る。ジャンクション112はモデル参照位置値115から状態推定位置値151を差し引いて、位置エラー値162を得る。

【0037】制御則107は利得要素166を含み、それは速度エラー値161を受信して、それに対して利得 $K_v$ を与える。制御則107はまた、別の利得要素167を含み、それは位置エラー値162を受信してそれに対して利得 $K_p$ を与える。利得 $K_v$ および $K_p$ はそれぞれ、速度利得および位置利得であって、典型的には利得要素153および154で用いられる速度利得および位置利得 $L_v$ および $L_p$ とは異なる。利得要素166および167の出力は加算ジャンクション168の入力へ供給され、その出力はDAC54および加算ジャンクション66へ供給される。図3に示されるシステムの動作は図2に示されるシステムの動作と等価であり、従ってここで詳細に説明することはしない。

【0038】本発明は数多くの技術的な特徴を有する。そのような技術的な特徴の1つには1個の高精度DACの代わりに2個の低精度DACを使用する能力がある。それはモデル参照制御技術を使用することで容易になる。モデル参照制御はアクチュエータを直接的に制御することはせず、その代わりにモデル参照を制御して、アクチュエータはスレーブとして制御される。2個の低精

(7)

特開平11-250597

度DACは低精度部品と一緒に組み込むことができるので、高精度な半導体プロセスを必要とする高精度DACでは実際的でない低精度の半導体プロセスを使用して、デジタル信号プロセッサと同じ集積回路中にコスト効率の高いやり方で作製できる。デジタル信号プロセッサと一緒に組み込まれる時は、その制御は非常に正確であり、直接的なアクチュエータ制御において通常発生する機械的共振等の高周波ダイナミックの励起を回避するように調節することができよう。

【0039】1個の高精度DACの代わりに2個の低精度DACを使用することはまた、回路またはシリコン面積の節減をもたらし、更に電力消費の節約につながる。電力消費の節約は、ラップトップおよびノートブックコンピュータ等の携帯用の応用に対して特に有利であり、他方、回路またはシリコン面積の節減はより少ない製造トータルコストにつながる。本発明の別の技術的特徴は、進歩したトラッキング分解能および特性である。その他の技術的特徴は、図面、説明、および特許請求の範囲から当業者には容易に明らかとなろう。

【0040】一実施例について詳細に図示および説明してきたが、本発明から外れることなしに、そこにおいて数多くの各種の変更、置換、および修正がなし得ることは理解されるべきである。例えば、本発明は、デジタル信号プロセッサによって実行される制御プログラムによって実現される制御区分を有するものとして説明および図示されてきたが、この制御区分を異なるやり方で実現することもできる。例えば、適当な従来の制御用サブ回路で、制御関数を直接実現する電子回路によって実現することもできる。更に、本発明はボイスコイルモータであるアクチュエータを制御するための制御区分を有するものとして図示および説明されてきたが、その他のタイプのアクチュエータをシステム中に使用して本発明を実施することもできるであろう。

【0041】更に、ここに説明した直接的な接続は当業者によって変更することができることを理解されるべきであり、それにより、開示された部品または要素は直接的につなぐのではなくて、互いに仲介デバイスを通してつなぐことができる。それでも尚、本発明によって実証された好ましい結果を達成することができる。変更、置換、および修正のその他の例は、当業者によって容易に思いつかれよう。そしてそれらは、本発明の特許請求の範囲によって定義される本発明のスコープおよび精神から外れることなしになし得る。

【0042】以上の説明に関して更に以下の項を開示する。

(1) 可動メンバーを有し、アクチュエータ制御信号にตอบสนองして前記メンバーの動作を促すアクチュエータを含み、前記メンバーの実際の状態を表すデジタル位置エラー信号を発生するように動作する装置を制御するための制御システムであって、前記メンバーの目標位置を表す

入力信号にตอบสนองし、前記入力信号にตอบสนองして動作可能な第1制御部分であって、モデル参照制御技術を利用して、前記メンバーの動作を表すデジタル第1制御信号を生成し、前記デジタル第1制御信号に対する前記アクチュエータの期待される応答を表す第2制御信号を生成するようになった第1制御部分、前記デジタル位置エラー信号、前記デジタル第1制御信号、および前記第2制御信号にตอบสนองする第2制御部分であって、それらにตอบสนองして前記メンバーの動作を表すデジタル第3制御信号を生成するように動作可能な第2制御部分、前記デジタル第1制御信号をアナログ第1制御信号へ変換するように動作可能な第1デジタル・アナログ変換器、前記デジタル第3制御信号をアナログ第3制御信号へ変換するように動作可能な第2デジタル・アナログ変換器、および前記アナログ第1制御信号および前記アナログ第3制御信号にตอบสนองして、アナログ第1制御信号をアナログ第3制御信号と組み合わせて、アナログ第1制御信号のほうにアナログ第3制御信号よりも大きい重み付けを持たせて組み合わせることにより、前記アクチュエータ制御信号を生成するように動作可能なジャンクション、を含む制御システム。

【0043】(2) 第1項記載の制御システムであって、前記第1制御部分が前記メンバーを目標位置に置くために前記アクチュエータによって実行されるべき動作を表すフィードフォワード制御信号にตอบสนองし、そして前記フィードフォワード制御信号に対する前記アクチュエータの期待される応答を表すモデル制御信号を生成するように動作可能な前記アクチュエータのモデル参照、および前記アクチュエータの指定された状態を表す前記入力信号および前記モデル制御信号にตอบสนองし、そして前記モデル制御信号および前記入力信号にตอบสนองしてデジタル信号である前記フィードフォワード制御信号を生成するように動作可能なモデル参照制御回路、を含んでおり、前記第1デジタル制御信号が前記フィードフォワード制御信号であり、また前記第2デジタル制御信号が前記モデル制御信号である、制御システム。

【0044】(3) 第1項記載の制御システムであって、ここにおいて前記第2制御部分が、前記デジタル第1制御信号および前記デジタル第3制御信号を受信するように動作可能で、更に前記デジタル第1制御信号と前記デジタル第3制御信号とを、デジタル第3制御信号よりもデジタル第1制御信号のほうに大きい重み付けを与えるように加算することによってデジタル位置決め信号を生成するように動作可能な加算構成、前記デジタル位置決め信号および前記デジタル位置エラー信号にตอบสนองして、前記アクチュエータの推定された状態を表す状態推定信号を生成するように動作可能な状態推定器、前記第2制御信号および前記状態推定信号にตอบสนองして、前記第2制御信号から前記状態推定信号を差し引くことによって状態エラー信号を生成するように動作可能な加算構

(8)

特開平11-250597

成、および前記状態エラー信号にตอบสนองして、修正制御信号を生成するように動作可能な制御則、を含み、前記デジタル第3制御信号が前記修正制御信号である、制御システム。

【0045】(4) 第1項記載の制御システムであって、ここにおいて、前記第2制御信号が前記メンバーの期待される位置を表す情報を含んでいる制御システム。

【0046】(5) 第1項記載の制御システムであって、ここにおいて、前記第2制御信号が前記メンバーの期待される速度を表す情報を含んでいる制御システム。

【0047】(6) 第1項記載の制御システムであって、ここにおいて、前記第2制御信号が前記メンバーの期待される加速度を表す情報を含んでいる制御システム。

【0048】(7) 第1項記載の制御システムであって、ここにおいて、前記第2制御信号が前記メンバーの期待される位置、速度および加速度を表す情報を含んでいる制御システム。

【0049】(8) 第1項記載の制御システムであって、ここにおいて、前記状態推定信号が前記メンバーの期待される位置を表す情報を含んでいる制御システム。

【0050】(9) 第1項記載の制御システムであって、ここにおいて、前記状態推定信号が前記メンバーの期待される速度を表す情報を含んでいる制御システム。

【0051】(10) 第1項記載の制御システムであって、ここにおいて、前記状態推定信号が前記メンバーの期待される加速度を表す情報を含んでいる制御システム。

【0052】(11) 回転するように支持されたディスク、前記ディスクに相対的に可動で、前記ディスクから読み出されたアナログサーボウエッジ信号を出力する読み出し/書き込みヘッド、およびアナログ位置決め信号にตอบสนองして前記ディスクに相対的な読み出し/書き込みヘッドの移動を促すように動作するアクチュエータを有するハードディスクドライブを制御するための制御システムであって、前記アナログサーボウエッジ信号にตอบสนองして、アナログ位置エラー信号を生成するように動作可能な位置エラー信号チャンネル、前記アナログ位置エラー信号をデジタル位置エラー信号へ変換するように動作可能なアナログ・デジタル変換器回路、前記デジタル位置エラー信号の関数としてデジタル位置決め情報を生成するように動作可能なデジタル信号プロセッサであって、前記デジタル位置決め情報を生成する時にモデル参照制御技術を利用するデジタル信号プロセッサ、および前記デジタル位置決め情報を前記アナログ位置決め信号へ変換するように動作可能なデジタル・アナログ変換器回路、を含む制御システム。

【0053】(12) 第1項記載の制御システムであって、ここにおいて、前記デジタル信号プロセッサによって生成される前記デジタル位置決め情報が、デジタル

第1位置決め信号成分、およびデジタル第2位置決め信号成分、を含んでおり、ここにおいて、前記デジタル・アナログ変換器が、前記デジタル第1位置決め信号成分をアナログ第1位置決め信号成分へ変換するように動作可能な第1デジタル・アナログ変換器、前記デジタル第2位置決め信号成分をアナログ第2位置決め信号成分へ変換するように動作可能な第2デジタル・アナログ変換器、および前記アナログ第1位置決め信号成分と前記アナログ第2位置決め信号成分とを、アナログ第2位置決め信号成分よりもアナログ第1位置決め信号成分のほうに大きい重み付けを与えるように加算することによって前記アナログ位置決め信号を生成するように動作可能な加算構成、を含んでいる制御システム。

【0054】(13) 第1項記載の制御システムであって、更に、前記アナログ位置決め信号を増幅して、前記アクチュエータへ供給される増幅されたアナログ位置決め信号を生成するように動作可能な電力増幅器、を含む制御システム。

【0055】(14) 第1項記載の制御システムであって、ここにおいて、前記デジタル・アナログ変換器および前記デジタル信号プロセッサが、半導体材料の単一片中に作製されるようになった制御システム。

【0056】(15) 第1項記載の制御システムであって、ここにおいて、前記デジタル・アナログ変換器回路および前記デジタル信号プロセッサが、シリコンである半導体材料の単一片中に作製されるようになった制御システム。

【0057】(16) 第1項記載の制御システムであって、ここにおいて、前記デジタル信号プロセッサが更に、前記デジタル位置決め信号を生成する時に、状態推定器技術を利用するように動作可能である制御システム。

【0058】(17) 第1項記載の制御システムであって、ここにおいて、前記デジタル信号プロセッサが更に、前記デジタル位置決め信号を生成する時に、制御則を利用するように動作可能である制御システム。

【0059】(18) 第1項記載の制御システムであって、ここにおいて、前記デジタル信号プロセッサによって生成される前記デジタル位置決め情報が、デジタル第1位置決め信号成分、およびデジタル第2位置決め信号成分、を含んでおり、前記デジタル信号プロセッサが、前記デジタル第1位置決め信号成分を生成する時に、前記モデル参照制御技術を利用するように動作可能であり、また前記デジタル信号プロセッサが、前記デジタル位置決め信号および前記デジタル位置エラー信号にตอบสนองして状態推定信号を生成する時に、状態推定器技術を利用するように、また、前記状態推定信号および前記モデル参照制御技術にตอบสนองして前記デジタル第2位置決め信号成分を生成する時に、制御則技術を利用するように動作可能であり、前記デジタル・アナログ変換器が、



特開平11-250597 (9)

れた状態を表す状態推定信号を生成する工程、前記第2制御信号から前記状態推定信号を差し引くことによって状態エラー信号を生成する工程、および前記状態エラー信号に反応して、前記デジタル第3制御信号である修正制御信号を生成する工程、を含んでいる方法。

【0063】(22) ハードディスクドライブ装置11は、回転ディスク12に相対的に読み出し/書き込みヘッド20の動作を制御するためのアクチュエータ16を含む。アクチュエータを制御するための制御構成30は、第1デジタル位置決め信号成分72を生成するためにモビル参照制御部分68、76を利用し、また第2デジタル位置決め信号成分を生成するために別の制御部分66、60、62、64を利用する。制御ルーチン50を含んでいる。2個の低精度デジタル・アナログ変換器54、56がそれぞれ、第1および第2のデジタル位置決め信号成分を各々のアナログ位置決め信号成分61、59へ変換する。加算シフトシフト57がアナログ位置決め信号成分同士を加算して、一方に対して他方よりもより大きい重み付けを与えることで、アナログ位置決め信号48が得られ、それがアクチュエータへ与えられる。

【図面の簡単な説明】

【図1】本発明を実施するハードディスクドライブ装置の一部分のブロック図。

【図2】図1のハードディスクドライブ装置の一部分である制御システムをより詳細に示すブロック図。

【図3】図2に示される型の制御システムの実施例の詳細を示すブロック図。

【符号の説明】

- 10 ヘッド/ディスクセンサ
- 11 ハードディスクドライブ装置
- 12 磁気ディスクタック
- 14 スピンドル
- 16 ボイスクoilモータ
- 18 サスペンションアーム
- 19 軸
- 20 読み出し/書き込みヘッド
- 21 アナログサーボウエッジ信号
- 30 制御ルーチン
- 32 位置エラー信号 (PES) チャンネル
- 34 アナログ・デジタル変換器 (ADC) 回路
- 36 デジタル信号プロセッサ (DSP)
- 38 メモリ
- 40 デジタル・アナログ変換器 (DAC) 回路
- 42 電力増幅器
- 43 アナログ位置エラー信号
- 45 デジタル位置エラー信号
- 46 DSP制御プログラム
- 47 デジタル位置決め情報
- 48 アナログ位置決め信号

前記デジタル第1位置決め信号成分をアナログ第1位置決め信号成分へ変換するように動作可能な第1デジタル・アナログ変換器、前記デジタル第2位置決め信号成分とを、アナログ第2位置決め信号成分よりもアナログ第1位置決め信号成分のほうに大きい重み付けを与えるように加算することによって前記アナログ位置決め信号を生成するように動作可能な加算構成、を含んでいる制御システム。

【0060】(19) 可動メノバを有し、アクチュエータ制御信号に反応して前記メノバの動作を促すアクチュエータを含み、更に前記メノバの実際の状態を表すデジタル位置エラー信号を生成するように動作可能な装置を制御するための方法であって、前記メノバの目標位置を表す入力信号に反応して、前記メノバの動作を表すデジタル第1制御信号を生成し、更に、前記デジタル第1制御信号に対する前記アクチュエータの期待される応答を表す第2制御信号を生成するために、モビル参照制御技術を利用する工程、前記デジタル位置エラー信号、前記デジタル第1制御信号、および前記第2制御信号に反応して、前記メノバの動作を表すデジタル第3制御信号を生成する工程、前記デジタル第3制御信号をアナログ第3制御信号へ変換する工程、前記デジタル第3制御信号と前記アナログ第3制御信号とを、アナログ第3制御信号よりもアナログ第1制御信号とを、アナログ第3制御信号よりもアナログ第1制御信号のほうに大きい重み付けを与えるように組み合わせたことによって前記アクチュエータ制御信号を生成する工程、を含む方法。

【0061】(20) 第19項記載の方法であって、このにおいて、前記モビル参照制御技術を利用する前記工程が、前記メノバを目標位置に置くために前記アクチュエータによって実行されるべき動作を表すアクチュエータ制御信号に反応する前記アクチュエータに期待される状態を表すモビル制御信号を生成する工程、および前記モビル制御信号および前記入力信号に反応して、デジタルである前記アクチュエータ制御信号を生成する工程、を含んでおり、前記デジタル制御信号が前記アクチュエータ制御信号であり、また前記第2制御信号が前記モビル制御信号である、方法。

【0062】(21) 第18項記載の方法であって、このにおいて、前記デジタル第3制御信号を生成する前記工程が、前記デジタル第1制御信号と前記デジタル第3制御信号とを、デジタル第3制御信号よりもデジタル第1制御信号のほうに大きい重み付けを与えるように加算することによってデジタル位置決め信号を生成する工程、前記デジタル位置決め信号および前記デジタル位置エラー信号に反応して、前記アクチュエータの推定さ

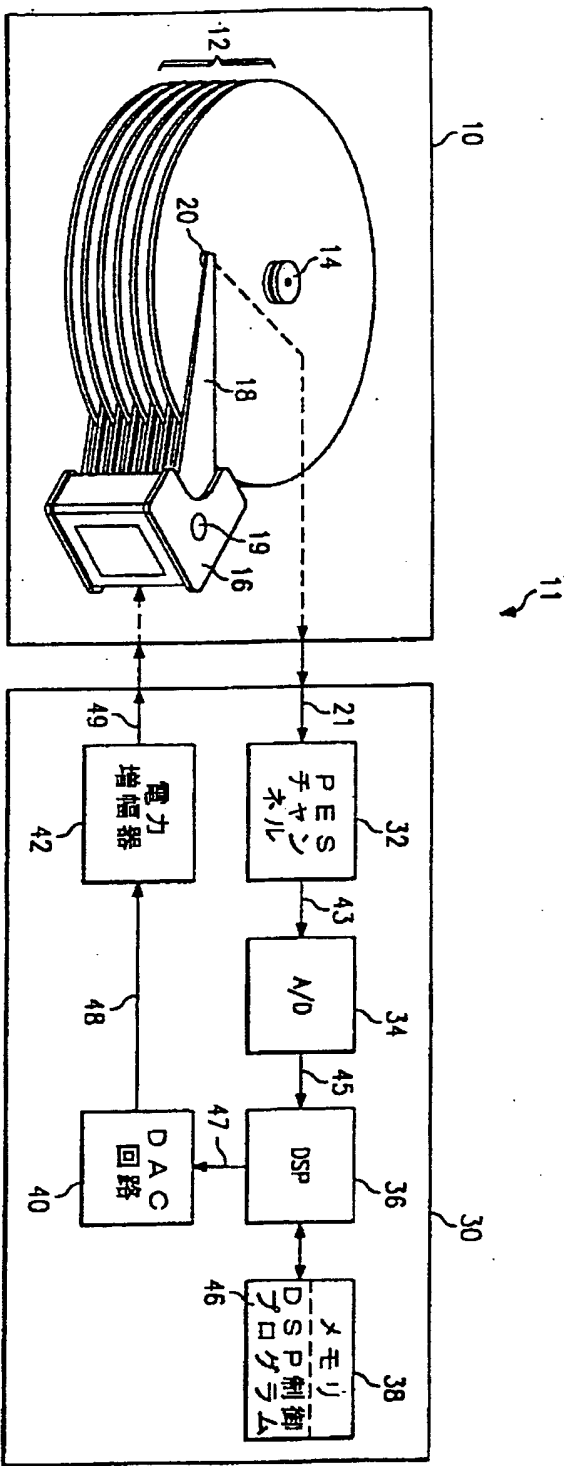
(10)

特開平11-250597

- |                     |                  |
|---------------------|------------------|
| 49 増幅されたアナログ位置決め信号  | 115 モデル参照位置値     |
| 52 ブロック             | 116 入力           |
| 54 デジタル・アナログ変換器回路   | 118 制御ブロック       |
| 56 第2デジタル・アナログ変換器回路 | 119 ジャンクション      |
| 57 加算ジャンクション        | 122 モデル参照速度値     |
| 58 物理プラント           | 123 フィードフォワード制御値 |
| 59 第1アナログ位置決め信号成分   | 126 利得要素         |
| 60 状態推定器            | 128 加算ジャンクション    |
| 61 第2アナログ位置決め信号成分   | 129 遅延ブロック       |
| 62 ブロック             | 131 利得要素         |
| 64 制御則              | 132 加算ジャンクション    |
| 66 加算ジャンクション        | 133 利得要素         |
| 68 モデル参照ブロック        | 136 遅延ブロック       |
| 70 モデル参照制御ブロック      | 141 利得要素         |
| 72 フィードフォワード制御信号    | 142 加算ジャンクション    |
| 74 モデル制御信号          | 143 遅延ブロック       |
| 76 入力信号             | 144 状態推定速度値      |
| 78 デジタル位置決め信号       | 146 利得要素         |
| 80 状態推定信号           | 147 加算ジャンクション    |
| 82 ライン              | 148 遅延ブロック       |
| 84 出力               | 151 状態推定位置値      |
| 101 サンプリング部分        | 152 ジャンクション      |
| 102 変換部分            | 153 利得要素         |
| 104 モデル参照制御         | 154 利得要素         |
| 105 モデル参照           | 157 利得要素         |
| 106 状態推定器           | 161 速度エラー値       |
| 107 制御則             | 162 位置エラー値       |
| 111 ジャンクション         | 166 利得要素         |
| 112 ジャンクション         | 167 利得要素         |
| 114 ジャンクション         | 168 加算ジャンクション    |

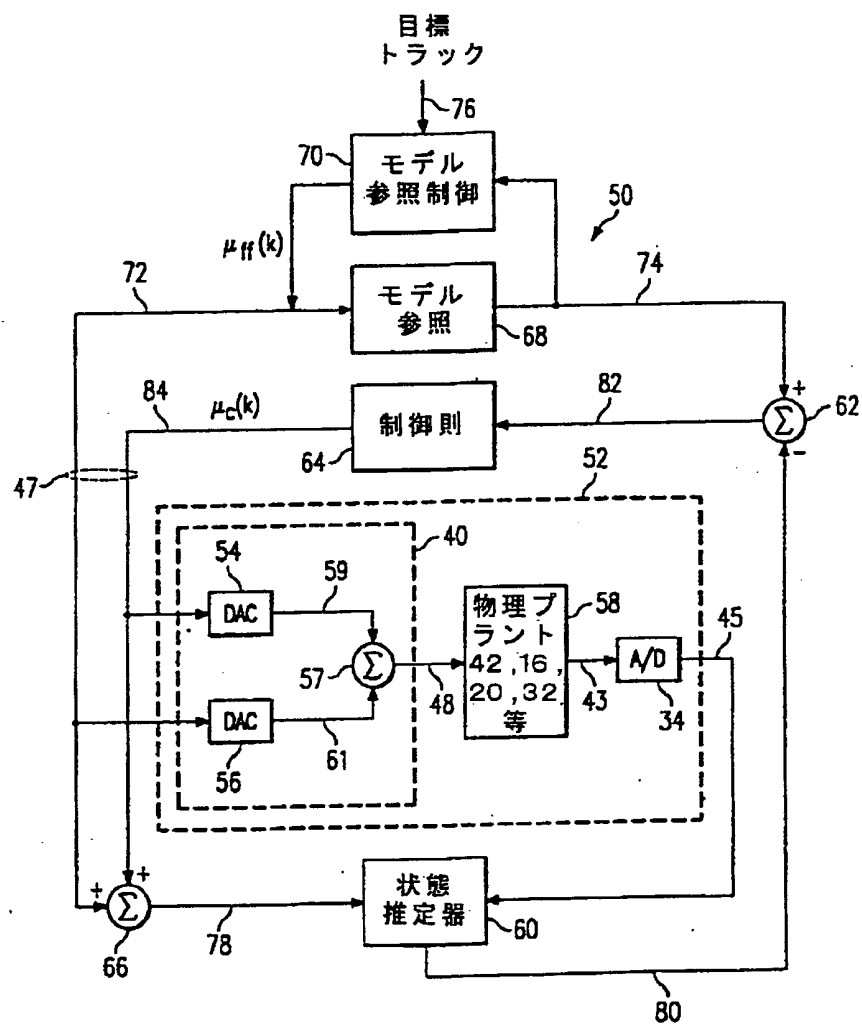
(11) 特開平11-250597

【図1】



特開平11-250597

【図2】



特圖平 11-250597

( 13 )

【 ㊦ 3 】

